

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087332
 (43)Date of publication of application : 30.03.1999

(51)Int.CI. H01L 21/312
 H01L 21/316
 H01L 21/3205
 H01L 21/768

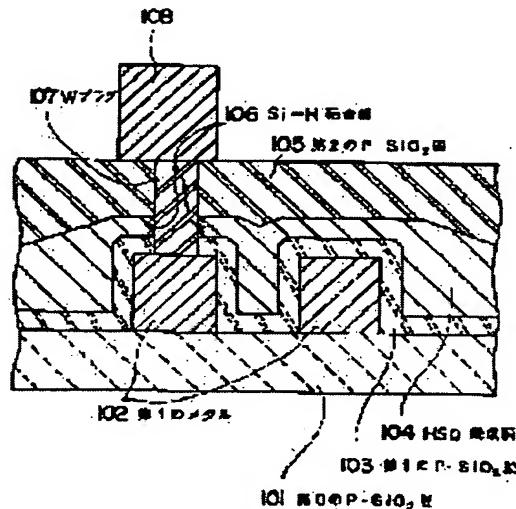
(21)Application number : 09-237385 (71)Applicant : NEC CORP
 (22)Date of filing : 02.09.1997 (72)Inventor : USAMI TATSUYA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the stability of a multilayered interconnecting structure, especially that of through hole resistance and the dielectric constant of a low dielectric constant film, by covering a region between the wirings and their upper parts with an SOG directly or through an inorganic film and preventing the SOG contacting the through hole part of the wiring from having Si-OH bonding.

SOLUTION: On a first metal 102 on a zeroth P-SiO₂ film 101, a first P-SiO₂ film 103 is formed for 500-1000 Å and an SOG (HSQ) baked film 104 is applied on the film 103. A second P-SiO₂ film 105 is formed on the film 104 and is planarized by CMP. A second metal 108 is formed on the film 105 and a W plug 107 is formed for connecting the first metal 102 with the second metal 108. Especially at the HSQ part on the via hole side face, an Si-H bonding part 106 exists and there is no Si-OH bonding. The first and the second metals 102 and 108 are composed of Al or Cu and it may contain an impurity such as Cu, Si and Pd.



LEGAL STATUS

[Date of request for examination] 02.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226021

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-87332

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.⁶

H 01 L 21/312
21/316
21/3205
21/768

識別記号

F I

H 01 L 21/312
21/316
21/88
21/90

N
P
K
B
A

審査請求 有 請求項の数 5 O L (全 5 頁) 最終頁に続く

(21)出願番号

特願平9-237385

(22)出願日

平成9年(1997)9月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株
式会社内

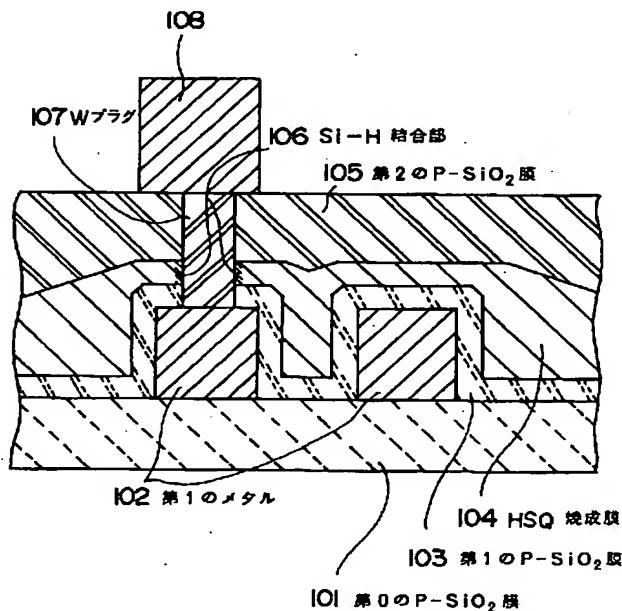
(74)代理人 弁理士 後藤 洋介 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 SOGを用いたビア開口工程でレジストをO₂アッシングした時のダメージでSOGむき出し部がSi-OH結合を生じるのを低減させる。

【解決手段】 SOGむき出し部がO₂プラズマにさらされた後にH₂プラズマをさらすことにより、Si-OH結合部をSi-H結合部106に変える。



【特許請求の範囲】

【請求項1】 半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が配設され、前記配線間及びその上部がSOGに直接または無機絶縁膜を介して覆われ、配線のスルーホール部に接するSOGがSi-OH結合を持たないようにしたことを特徴とする半導体装置。

【請求項2】 半導体基板上に第1の金属配線を形成する工程と、

その上部にSOGを塗布、焼成する工程と、

その上に無機絶縁膜を形成する工程と、

前記第1の金属配線上に開口するためレジストを塗布露光、現像する工程と、

前記無機絶縁膜及び前記SOGをエッチングする工程と、

レジストをO₂アッシング及びウェット剥離にて除去する工程と、

少なくとも水素分子を含むプラズマにさらす工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記SOGが水素化シリセスキオキサン及び、メチルシリセスキオキサン、有機SOG、ポリシリザンのうちの少なくとも一つであることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 前記少なくとも水素分子を含むプラズマがPH₃である請求項2あるいは3記載の半導体装置の製造方法。

【請求項5】 前記少なくとも水素分子を含むプラズマがB₂H₆、CH₄、C₂H₆のなかの少なくとも1つからえらばれる請求項2あるいは3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路は、微細化が進んでおり、特に論理回路においての多層配線では、その傾向が顕著に見うけられる。多層配線のメタル配線間隔が、微細になってくると、メタル配線間に発生するクロストーク（配線信号が隣の配線にのってしまう現象）の問題が起こってくる。その防止対策としては、配線間絶縁膜に低誘電率の絶縁膜を使用すると効果があり、種々な低誘電率材料のデバイスへの試行が報告されている。

【0003】 その中で、無機膜で低誘電率化が可能なHSQ（ハイドロジエンシリセスキオキサン）ポリマーが注目されている。

【0004】 この材料は通常、塗布により形成される。HSQを含有する溶液をたとえば、スピンドルティングで塗布し、その後窒素雰囲気中でホットプレートなどにより250～350℃の高温でペークすると流動性を示し、平坦性が向上する。それをさらに窒素雰囲気中で炉

などにより400℃で30分から1時間のキュアを実施することで絶縁膜として使用する。

【0005】 しかしながら、本塗布液にて形成される絶縁膜は、O₂プラズマなどの処理により、膜中に持つSi-H結合が減少し、Si-OH結合が発生することが第43回応用物理学会論文集654頁の26a-N-6（1996年4月、宮永、佐々木、亀岡、森山、佐々木）に『HSQの誘電率評価』と題して示されている。このSi-OH結合は、吸湿の原因となり、結果的に多量の水を含んだ膜となってしまう。

【0006】 実際に多層配線を形成する工程を図3を参照して説明する。まず第0のP-SiO₂膜301上に第1のメタル302を形成する（図3（a））。その上に第1のP-SiO₂膜303を1000Å形成する。その後、溶媒に溶かされたHSQを塗布し、150℃、200℃、350℃の3段階のペークを1分間ずつ行った後、400℃のN₂雰囲気でのキュアを炉で行い、約4000ÅのHSQ焼成膜304を形成する。その後、第2のP-SiO₂膜305により、14000Åの成膜を実施し、化学的機械研磨（以下、CMPという）で平坦化を行う（図3（b））。

【0007】 次に、ピアホールを形成するためのフォトレジスト306をパターニングし（図3（c））、CF系ガスによりHSQ焼成膜304とその上下層の第1、2のP-SiO₂膜303、305の開口を行なう（図3（d））。さらに、レジストを剥離するためO₂プラズマアッシングを行い、PR剥離を行なう。

【0008】 このとき、図3（e）に示すように、O₂プラズマにより開口部でむき出しになっているHSQ焼成膜304のSi-H結合がSi-OH結合部307に変化してしまい、その次の工程のPR剥離工程で吸湿してしまうことになる。この吸湿した状態でピアラグ308を形成すると（図3（f））、ポイズンドピアが発生し、スルーホール抵抗異常となってしまう。

【0009】

【発明が解決しようとする課題】 上述のように、従来技術の問題点は、HSQをキュアした膜がO₂プラズマにさらされた場合吸湿してしまうということである。その理由は、HSQをキュアした膜の表面近傍のSi-H結合がO₂プラズマによりSi-OH結合へと変質し、吸湿サイトとなるからである。

【0010】 そこで、本発明の課題は、半導体集積回路の特に高集積多層配線構造で配線間容量を低下させるために低誘電率絶縁膜を使用する場合、多層配線構造の特にスルーホール抵抗と低誘電率膜の比誘電率の安定性の向上を図ることにある。

【0011】

【課題を解決するための手段】 本発明による半導体装置は、半導体素子を有する半導体基板上に絶縁膜を介して複数の配線が配設され、前記配線間及びその上部がSOG

Gに直接または無機絶縁膜を介して覆われ、配線のスルーホール部に接するSOGがSi-OH結合を持たないようにしたことを特徴とする。

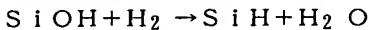
【0012】本発明による半導体装置の製造方法は、半導体基板上に第1の金属配線を形成する工程と、その上部にSOGを塗布、焼成する工程と、その上に無機絶縁膜を形成する工程と、前記第1の金属配線上に開口するためレジストを塗布露光、現像する工程と、前記無機絶縁膜及び前記SOGをエッチングする工程と、レジストをO₂アッシング及びウェット剥離にて除去する工程と、少なくとも水素分子を含むプラズマにさらす工程とを含むことを特徴とする。

【0013】前記SOGは、水素化シリセスキオキサン及び、メチルシリセスキオキサン、有機SOG、ポリシリザンのうちの少なくとも一つであることが好ましい。

【0014】前記少なくとも水素分子を含むプラズマはPH₃であることが好ましいが、B₂H₆、CH₄、C₂H₆のなかの少なくとも1つからえらばれても良い。

【0015】

【作用】HSQを焼成した後、Si-H結合を多量にもっているが、O₂プラズマにさらされると、その表面部分がSi-OH結合に変質してしまう。これに本発明の手段であるH₂プラズマをさらすことにより、



という反応がすすみ、吸湿サイトであるSi-OH結合がなくなり、吸湿性の少ない膜となる。

【0016】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して詳細に説明する。図1を参照すると、本発明の最良の形態は、第0のP-SiO₂膜101上の第1のメタル102上に第1のP-SiO₂膜103が500～1000Å形成されており、その上にHSQ焼成膜104が塗布形成されている。その上に第2のP-SiO₂膜105が形成され、CMPにて平坦化されている。

【0017】そして、その上に第2のメタル108が形成されており、第1のメタル102と第2のメタル108を接続するWプラグ107が形成されている。

【0018】本発明の特徴は、ピアホール側面部のHSQ部においては、Si-H結合部106があり、Si-OH結合は存在しない点にある。

【0019】第1、2のメタル102、108は、A1またはCuで構成され、Cu、Si、Pdなどの不純物を含有してもよい。また、TiN、Ti、TiWなどのバリアメタルを上下に形成してもよい。また、ピアはW、A1、Cuで構成され、前記と同様に、TiN、Ti、TiWなどのバリアメタルを上下に形成してもよい。

【0020】第1、2のP-SiO₂膜103、105は、SiH₄系のSiO₂またはTEOS系SiO₂、

トリアルコキシラン系SiO₂、高密度プラズマCVD法のSiO₂のいずれでもよい。

【0021】

【実施例】次に本発明の実施例について図2を参照して詳細に説明する。図2において、本発明の第1の実施例は、第0のP-SiO₂膜201上に第1のメタル202を形成した後(図2(a))、その上にTEOS、O₂によるプラズマCVD法で第1のP-SiO₂膜203を形成する。さらに、MIBK(メチルイソブチルケ

10トン)を溶媒とするHSQ(ハイドロジエンシリセスキオキサン)を約3000rpmの回転で塗布し、150℃、200℃、350℃のN₂雰囲気でのペークを行う。その後、縦型炉を使用してN₂雰囲気中で400℃の温度でキュアを約60分施工して約4000ÅのHSQ焼成膜204を形成し、その上にTEOS、O₂によりP-CVD法で第2のP-SiO₂膜205を約14000Å形成し、CMP法によりメタルの上の膜厚が8000Å程度になるよう研磨を行う(図2(b))。なお、SOG(Silicon on Glass)としては、ハイドロジエンシリセスキオキサンに代えて、メチルシリセスキオキサン、有機SOG、ポリシリザンの中から少なくとも一つを選ぶようにしても良い。

【0022】次に、フォトレジスト206を塗布し(図2(c))、露光、現像を実施する。さらに、そのフォトレジスト206をマスクにして下の第2のP-SiO₂膜205とHSQ焼成膜204、そして第1のP-SiO₂膜203をエッチング加工する(図2(d))。レジストはO₂プラズマ剥離及びウェット剥離で除去される。

【0023】ここで、(図2(e))に示すように、HSQ焼成膜204のエッチング加工によりスルーホール開口部207は、Si-H結合がO₂プラズマによりSi-OH結合部208となり、その後のウェット処理で吸水してしまう。そして、次の工程のH₂プラズマ処理を高密度プラズマ源のECRプラズマを使用したH₂プラズマ処理10分でその部分のSi-OHがSi-H結合部209へと置き換わる。

【0024】次に、本発明の第2の実施例を説明する。第1の実施例と同じように、図2のプロセスフロー40(e)まで行う。第1の実施例では、水素を用いたプラズマ処理を行っていたが、ここではPH₃を用いた処理を行った。PH₃中のPが反応に対し触媒として働き、より反応が促進されるため、水素の場合よりも効率がよくSi-OH結合からSi-H結合への変換が実施できる。

【0025】また、プラズマ処理時のその他のガスとしてB₂H₆ガス、CH₄、C₂H₆の中から少なくとも1つ選べば、第1の実施例と同様の効果が得られる。

【0026】

【発明の効果】本発明によれば、スルーホール部のHS

Q焼成膜むき出し部分が、吸湿していないためスルーホール抵抗不良、ポイズンドビアが発生しないという効果が得られる。その理由は、スルーホール部のHSQ焼成膜むき出し部分がSi-OH結合をH₂プラズマ処理によりSi-H結合に変化させることにより吸湿しないからである。

【図面の簡単な説明】

【図1】本発明による半導体装置の実施の形態を示す断面図である。

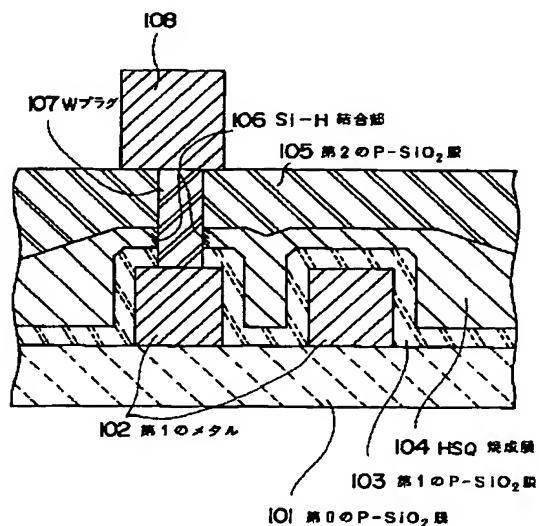
【図2】本発明による好ましい実施例の製造工程のプロセスフローを示した断面図である。

【図3】従来の半導体装置のプロセスフローを示した断面図である。

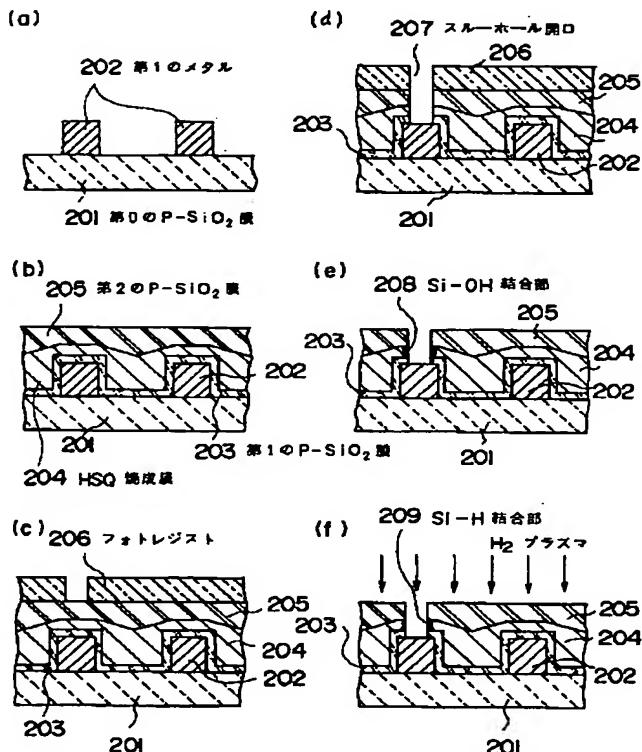
【符号の説明】

101、201、301	第0のP-SiO ₂ 膜
102、202、302	第1のメタル
103、203、303	第1のP-SiO ₂ 膜
104、204、304	HSQ焼成膜
105、205、305	第2のP-SiO ₂ 膜
106、209	Si-H結合部
107	Wプラグ
108	第2のメタル
109	フォトレジスト
206	スルーホール開口
207	Si-OH結合部
208	ピアプラグ

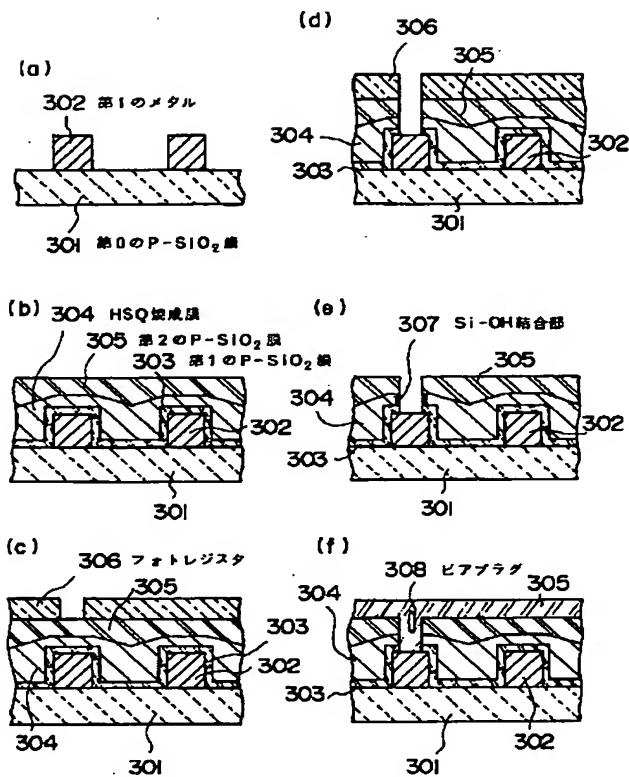
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 01 L 21/90

J